

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problems Mailbox.**

(11)特許出願公開番号

特開平8-17948

(43)公開日 平成8年(1996)1月19日

(51) Int.Cl.<sup>6</sup>

識別記号

庁内整理番号

FI

### 技術表示箇所

H O 1 L · 21/8247

29/788

29/792

H O 1 L 29/ 78

3 7 1

21/ 76

I.

審査請求 未請求 請求項の数 6 OL (全 20 頁) 最終頁に続く

(21)出願番号

特願平6-150241

(22) 出願日

平成6年(1994)6月30日

(71)出題人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 佐藤 信司

神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝研究開発センター内

(72) 發明者 有留 誠一

神奈川県川崎市幸区小向東芝町1番地 株  
 式会社東芝研究開発センター内

(72)發明者 首藤 晉

神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝研究開発センター内

(74) 代理人 弁理士 鈴江 武彦

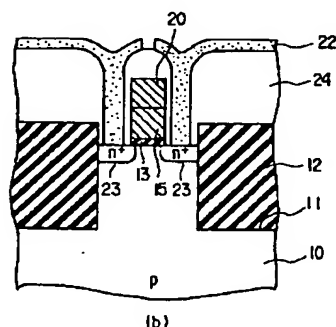
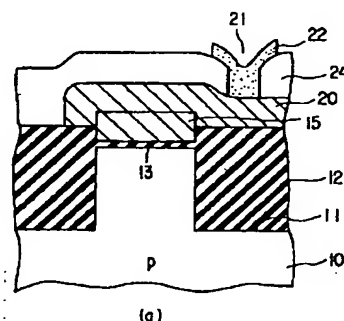
[最終頁に続く](#)

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【目的】高耐圧のゲート絶縁膜を有し、かつ高集積化、高信頼化をはかり得るMOSトランジスタの製造方法を提供することにある。

【構成】 MOSトランジスタの製造方法において、シリコン基板 10 上にゲート酸化膜を介して第 1 層多結晶シリコン膜 15 を形成したのち、島状パターンをマスクに第 1 層多結晶シリコン膜 15 を選択エッチングし、且つ基板 10 を選択エッチングして素子分離用溝 11 を形成し、次いで素子分離用溝 11 内に CVD 酸化膜 12 を埋め込み形成し、次いで全面に第 2 層多結晶シリコン膜 20 を形成し、次いで第 1 層多結晶シリコン膜 15 上を通るライン状パターンをマスクに第 2 層多結晶シリコン膜 20 及び第 1 層多結晶シリコン膜 15 を選択エッチングすることを特徴とする。



## 【特許請求の範囲】

【請求項 1】半導体基板に島状の素子形成領域を囲むように形成された素子分離用溝と、この溝内に埋め込まれた素子分離用絶縁膜と、前記基板の素子形成領域上の一部にゲート絶縁膜を介して形成され、且つ両端が前記素子分離用溝とセルフアラインで形成された第 1 層導電膜と、この第 1 層導電膜及び前記素子分離用絶縁膜上に形成された第 2 層導電膜とを具備してなることを特徴とする半導体装置。

【請求項 2】半導体基板上にゲート絶縁膜を介して第 1 層導電膜を形成する工程と、島状パターンをマスクに第 1 層導電膜を選択エッチングし、且つ基板を選択エッチングして素子分離用溝を形成する工程と、前記素子分離用溝内に絶縁膜を埋め込む工程と、次いで全面に第 2 層導電膜を形成する工程と、第 1 層導電膜上を通るライン状パターンをマスクに第 2 層導電膜及び第 1 層導電膜を選択エッチングする工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 3】半導体基板上にトンネル絶縁膜を介して第 1 層導電膜からなる浮遊ゲートを形成し、この浮遊ゲート上にゲート絶縁膜を介して第 2 層導電膜からなる制御ゲートを形成して電氣的書き換え可能な不揮発性メモリセルを構成し、このメモリセルをマトリックス配置した半導体装置において、前記基板にメモリセルを分離するための素子分離用溝が形成され、この溝内に素子分離用絶縁膜が埋め込み形成され、前記浮遊ゲートの対向する 2 辺は前記素子分離用溝とセルフアラインで形成され、残りの 2 辺は前記制御ゲートとセルフアラインで形成されてなることを特徴とする半導体装置。

【請求項 4】半導体基板上に電氣的書き換え可能な不揮発性メモリセルをマトリックス配置してなる半導体装置の製造方法において、半導体基板上にトンネル絶縁膜を介して浮遊ゲートとなる第 1 層導電膜を形成する工程と、ライン状パターンをマスクに第 1 層導電膜及びトンネル絶縁膜を選択エッチングし、且つ基板を選択エッチングして素子分離用溝を形成する工程と、前記素子分離用溝内に絶縁膜を埋め込む工程と、次いで全面にゲート絶縁膜を介して制御ゲートとなる第 2 層導電膜を形成する工程と、第 1 の導電膜のライン状パターンと交差する第 2 のライン状パターンをマスクに第 2 層導電膜及び第 1 層導電膜を選択エッチングする工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 5】前記埋め込み絶縁膜の上面は、前記基板表面より高く第 1 層導電膜上面より低いことを特徴とする請求項 1 又は 3 に記載の半導体装置。

【請求項 6】第 1 層導電膜の選択エッチング後で素子分離用溝の選択エッチング前に、前記基板上の第 1 層導電膜に近接した領域に第 1 層導電膜下の絶縁膜よりも薄い

絶縁膜を形成し、この絶縁膜上に第 1 層導電膜と導通した導電性材料を形成することを特徴とする請求項 2 又は 4 に記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、MOS 構造の半導体装置に係わり、特に素子分離技術の改良をはかった半導体装置及びその製造方法に関する。

## 【0002】

【従来の技術】近年、半導体集積回路の素子分離技術として、LOCOS 分離法に代わりトレンチ分離法が広く使用されている。トレンチ分離法では、まずシリコン基板上に形成した熱酸化膜、多結晶シリコン膜、CVD シリコン酸化膜をレジストパターンニングし、RIE によりエッチングする。この後、レジストを剥離し、CVD シリコン酸化膜をマスクにしてシリコン基板を RIE してエッチングし、素子分離のための溝（トレンチ）を作る。

【0003】次いで、トレンチ形成時に発生した結晶欠陥を低減するために、窒素雰囲気中での熱処理及び酸化雰囲気中での熱酸化を行い、トレンチ側壁に酸化膜を形成する。ここで、素子分離能力を高めるためにトレンチ側壁及びトレンチ底に不純物注入を行ってもよい。次いで、トレンチを CVD 法により絶縁物で埋める。その後、CVD 絶縁物をレジストエッチバック又はポリッシングにより、多結晶シリコンが露出するまで削って平坦化し、多結晶シリコン及びその下の酸化膜を取り除く。

【0004】ここまでのプロセスで素子分離領域が形成されるので、以下ではトランジスタ等の素子を素子領域上に形成していく。まず、素子領域上のシリコン基板を酸化し、この酸化膜を通してトランジスタのしきい値制御のための不純物注入を行う。次いで、一旦先の酸化膜を剥離し、新たにゲート酸化膜を形成し、ゲートとなる多結晶シリコンを堆積する。その後、ゲートをパターンニングし、拡散層を形成して配線を行うことによりトランジスタができあがる。

【0005】このようなトレンチ素子分離法により、素子分離のためのトレンチ幅はある程度までは狭くできる。しかし、上で述べたような、トレンチ素子分離領域を形成した後に、ゲート酸化膜及びゲート電極を形成するプロセスにおいては、以下のような問題点が生じる。

【0006】図 31(a) に示すように、素子分離領域は基板 10 に設けた溝（トレンチ）11 内に絶縁膜 12 を埋め込んで形成されるが、この素子分離領域を形成した後の  $\text{NH}_4\text{F}$  処理により、素子領域の端の部分に角 14 ができる。この後、ゲート酸化膜を形成しトランジスタを構成すると、この角 14 の部分に電界が集中し、ゲート酸化膜の絶縁破壊や、サブスレッショルド電流のキック等が生じ、トランジスタの特性を大幅に劣化させる。このため、この角がでないような、プロセス上の工

夫が必要となる。

【0007】また、図31(b)に示すように、例えば基板10上にトンネル絶縁膜13を介して浮遊ゲート30を形成し、この浮遊ゲート30上にゲート絶縁膜31を介して制御ゲート29を形成して電氣的書き換え可能なメモリセルを構成し、このメモリセルを複数個集積化した不揮発性半導体記憶装置に対して、上で述べたような素子分離方法を適用した場合を考える。

【0008】この場合、素子分離領域、トンネル酸化膜及び多結晶シリコン電極形成後、浮遊ゲートを形成するために、素子分離領域上に多結晶シリコンのスリットを形成する必要がある。集積化に伴い、浮遊ゲート電極のスリット幅がある程度以下にしないと、浮遊ゲートと制御ゲート間の容量が小さくなり、カップリング比が小さくなるという問題が生じる。例えば、素子分離幅が $0.4\mu\text{m}$ の場合、カップリング比との兼ね合いから、このスリット幅は、 $0.2\mu\text{m}$ 以下で形成する必要がある、素子分離領域をさらに小さくすることは極めて困難となってくる。

【0009】また、素子分離領域の半導体基板を掘る際、半導体基板全体を均一な幅で掘ることは非常に難しく、結果として、メモリセルのゲート幅が半導体基板全体でばらつく。そのため、半導体基板と浮遊ゲートの間の容量がばらつき、カップリング比がばらつく。このとき、浮遊ゲートと制御ゲート間の容量がこれを打ち消すように調節できれば(例えば、素子分離領域上で浮遊ゲートとなる多結晶シリコンにスリットを形成する際に、ゲート幅が広いところではスリット幅が狭くなれば、浮遊ゲートと制御ゲート間の容量が大きくなり)、カップリング比のばらつきは低減できる。しかし、半導体基板内の多数のメモリセル全てに対してこのように、浮遊ゲートと制御ゲート間容量を調節することは不可能である。

【0010】また、電氣的に書き換え可能なメモリにおいては、メモリセルの他に多種類の周辺回路用トランジスタ、選択トランジスタを形成する必要がある。これらトランジスタを形成する際、メモリセルと別のプロセスで製作するとそれだけ工程数が増え、ビットあたりのコストが高くなる。従って、メモリセルと同一のプロセスで製作するのが望ましい。

【0011】

【発明が解決しようとする課題】このように、従来のトレンチ素子分離プロセスにおいては、素子領域に角ができることにより、ゲート酸化膜の絶縁破壊、サブスレッショルド特性にキックが生じること、最小素子分離幅がゲート電極のスリット幅により実質的に決まる問題があった。また、例えば不揮発性メモリに上で述べたような素子分離方法を適用した場合、集積化に伴いゲート電極のスリット幅がある程度以下にできなくなると、浮遊ゲートと制御ゲート間の容量が小さくなり、カップリング

比が小さくなること、素子分離領域を形成する際に生じるゲート幅のばらつきにより、カップリング比のばらつきが生じることなどの問題があった。

【0012】本発明は、上記事情に考慮してなされたもので、その目的とするところは、高耐圧のゲート絶縁膜を有し、かつ高集積化、高信頼化をはかり得る半導体装置及びその製造方法を提供することにある。

【0013】

【課題を解決するための手段】上記課題を解決するために本発明は、次のような構成を採用している。

【0014】即ち本発明(請求項1)は、MOS構造の半導体装置において、半導体基板上に島状の素子形成領域を囲むように形成された素子分離用溝と、この溝内に埋め込まれた素子分離用絶縁膜と、半導体基板の素子形成領域上の一部にゲート絶縁膜を介して形成され、且つ両端が素子分離用溝とセルフアラインで形成された第1層導電膜と、第1層導電膜及び素子分離用絶縁膜上に形成された第2層導電膜とを具備してなることを特徴とする。

【0015】また本発明(請求項2)は、上記構成の半導体装置の製造方法において、半導体基板上にゲート絶縁膜を介して第1層導電膜を形成する工程と、島状パターンをマスクに第1層導電膜を選択エッチングし、且つ基板を選択エッチングして素子分離用溝を形成する工程と、素子分離用溝内に絶縁膜を埋め込む工程と、全面に第2層導電膜を形成する工程と、第1層導電膜上を通るライン状パターンをマスクに第2層導電膜及び第1層導電膜を選択エッチングする工程とを含むことを特徴とする。

【0016】また本発明(請求項3)は、半導体基板上にトンネル絶縁膜を介して浮遊ゲートを形成し、この浮遊ゲート上にゲート絶縁膜を介して制御ゲートを形成して電氣的書き換え可能な不揮発性メモリセルを構成し、このメモリセルをマトリックス配置した半導体装置において、半導体基板にメモリセルを分離するための素子分離用溝が形成され、この溝内に素子分離用絶縁膜が埋め込み形成され、浮遊ゲートの対向する2辺は素子分離用溝とセルフアラインで形成され、残りの2辺は制御ゲートとセルフアラインで形成されてなることを特徴とする。

【0017】また本発明(請求項4)は、半導体基板上に電氣的書き換え可能な不揮発性メモリセルをマトリックス配置してなる半導体装置の製造方法において、半導体基板上にトンネル絶縁膜を介して浮遊ゲートとなる第1層導電膜を形成する工程と、ライン状パターンをマスクに第1層導電膜及びトンネル絶縁膜を選択エッチングし、且つ基板を選択エッチングして素子分離用溝を形成する工程と、素子分離用溝内に絶縁膜を埋め込む工程と、次いで全面にゲート絶縁膜を介して制御ゲートとなる第2層導電膜を形成する工程と、第1の導電膜のライ

ン状パターンと交差する第2のライン状パターンをマスクに第2層導電膜及び第1層導電膜を選択エッチングする工程を含むことを特徴とする。

【0018】ここで、本発明の望ましい実施態様としては、次のものがあげられる。

【0019】(1) 埋め込み絶縁膜は、基板表面より高く第1層導電膜上面より低い位置まで埋め込まれていること。

【0020】(2) 第1層導電膜の選択エッチング後で素子分離用溝の選択エッチング前に、半導体基板上の第1層導電膜に近接した領域に第1層導電膜下の絶縁膜よりも薄い絶縁膜を形成し、この絶縁膜上に第1層導電膜と導通した導電性材料を形成すること。

【0021】(3) 半導体基板のエッチングマスクの一部に用いた導電材料を基板と接触させて形成すること。さらに、半導体基板のエッチングマスクを少なくとも2層の導電性材料で形成すること。

【0022】(4) 半導体基板のエッチングマスクを少なくとも2層の導電性材料で形成すること。

【0023】(5) 半導体記憶装置において、周辺トランジスタ（メモリセル以外のトランジスタ）のゲート電極の少なくとも一部に、メモリセルの浮遊ゲートと同一の導電層を有すること。

【0024】(6) 半導体記憶装置において、ゲート幅に対応し、浮遊ゲートの側壁部の面積を制御することによりカップリング比を制御すること。

【0025】(7) 半導体基板のエッチングマスクに用いた導電性材料を浮遊ゲート電極とし、導電性材料の側壁部の少なくとも一部に浮遊ゲートの絶縁膜があり、この絶縁膜を介して2層目の導電性材料が積層されること。

【0026】(8) メモリセル以外のトランジスタのゲート電極の少なくとも一部が浮遊ゲート電極と制御ゲート電極の少なくとも一部の層が積層されて形成し、少なくとも一部で電気的に接続されていること。

【0027】

【作用】本発明によれば、第1層導電膜のスリット幅がそのまま素子分離幅となる、いわゆる自己整合されるために、各トランジスタ間の距離を縮小でき、高集積化が可能となる。さらに、埋め込み絶縁膜を基板表面より高い位置まで形成することにより、素子領域の端の部分に角ができることはなく、高耐圧のゲート絶縁膜が形成できる。

【0028】ここで、本発明では半導体基板を掘る際にゲート絶縁膜のエッジ部を高エネルギーの粒子が叩くために、ゲート絶縁膜の信頼性が低下する可能性がある。さらに、トレンチ内に埋め込んだ絶縁物をエッチバックする際に、ゲート電極に電荷がチャージアップし、これにより生じる電界によりゲート絶縁膜の絶縁破壊、あるいは信頼性の低下が生じる可能性がある。

【0029】しかし、ゲート電極に側壁を形成すること

により、トレンチを掘る際に酸化膜エッジ部が保護されるため、絶縁耐圧の劣化が生じることはない。さらに、側壁の下には、ゲート絶縁膜よりも薄い絶縁膜が形成されているので、トレンチ内に埋め込んだ絶縁物をエッチバックする際に生じる、ゲート電極のチャージアップに起因するゲート絶縁膜の絶縁破壊或いは信頼性の低下は、このゲート絶縁膜よりも薄い絶縁膜で起こるために、ゲート絶縁膜への損傷が低減される。

【0030】また、不揮発性半導体記憶装置について、上記素子分離方法を適用した場合については、トレンチ内に埋め込んだ絶縁物をエッチバックする際に、ガスの供給律速となるため、エッチングレートはその素子分離幅に大きく依存する。即ち、例えばトレンチ幅が狭い（即ちゲート幅が広い）場合にはエッチングレートが速くなるため、浮遊ゲート側壁部の浮遊ゲート・制御ゲート間容量が増大する。また、トレンチ幅が広い場合には逆になる。これにより、半導体基板内のカップリング比のばらつきが低減される。

【0031】また、ゲート幅に対応して浮遊ゲート側壁部の面積を調節することにより、カップリング比が制御できる。さらに、周辺回路用トランジスタ及び選択トランジスタはメモリセルと同一のプロセスで形成できるため、工程数が削減できる。また、本発明はゲート電極がチャージアップする可能性のあるプロセス、例えばイオン注入、RIE、CDEなど全てに対して有効である。

【0032】

【実施例】以下、本発明の実施例を図面を参照して説明する。

【0033】（実施例1）図1は本発明の第1の実施例に係わるMOSトランジスタの素子構造を示す平面図、図2（a）は図1の矢視A-A'断面図、図2（b）は図1の矢視B-B'断面図である。この実施例では、単体のトランジスタ構造を示しているが、一般にこのトレンチ素子分離はDRAM、SRAM、EEPROMなどのセル構造にも使用することができる。

【0034】図中10はn型シリコン基板、11は素子分離用溝（トレンチ）、12は埋め込み絶縁膜、13はゲート絶縁膜、15は第1層導電膜からなるゲート電極、17は素子分離領域、18は素子領域、19はCVD絶縁膜、20は第2層導電膜からなるゲート電極、21はゲート電極コンタクト、22はソース・ドレイン電極、23はソース・ドレイン拡散層、24は層間絶縁膜を示している。

【0035】次に、本実施例の製造工程について、図3～5を参照して説明する。これらの図は図1の矢視A-A'断面に相当している。

【0036】まず、図3（a）に示すように、n型シリコン基板10に、例えば表面硼素濃度 $1 \times 10^{16} \text{ cm}^{-3}$ でpウェルを形成し、ゲートが形成される領域にしきい値を調節するために適当なチャネルインプラを行う。続

いて、シリコン基板 10 の表面に、例えば 10 nm の熱酸化膜（ゲート絶縁膜）13 を形成し、ゲート電極として第 1 層多結晶シリコン膜 15 を例えば 400 nm 堆積する。

【0037】次いで、図 3 (b) に示すように、多結晶シリコン膜 15 上に酸化膜を例えば 18 nm 形成した後、その上にトレンチ R I E 時のマスクとなる酸化膜 19 を CVD 法により例えば 350 nm 堆積する。

【0038】次いで、図 3 (c) に示すように、フォトリソグラフィ工程により素子分離領域のパターニングを行った後、レジスト（図示せず）をマスクとして CVD 酸化膜 19、多結晶シリコン膜 15、ゲート酸化膜 13 を異方性エッチングにより選択エッチングし、さらにシリコン基板 10 を異方性エッチングにより選択エッチングして素子分離用溝（トレンチ）11 を形成する。このときのエッチングは、レジストをマスクとして CVD 酸化膜 19 からシリコン基板 10 までをエッチングして最後にレジストを剥離してもよいし、レジストをマスクとして CVD 酸化膜 19 をエッチングしてからレジストを剥離し、CVD 酸化膜 19 をマスクとして多結晶シリコン膜 15、ゲート酸化膜 13、シリコン基板 10 をエッチングしてもよい。

【0039】次いで、トレンチ形成時に発生したダメージを除去するために、例えば窒素雰囲気或いは不活性ガス雰囲気中で熱処理を行い、またゲート酸化膜 13 のエッジを保護する意味も含めて、例えば塩化水素或いは水蒸気を含んだ酸化雰囲気中でトレンチ側壁部を熱酸化する。ここで、フィールド反転を防止するためにトレンチの側壁或いはトレンチの底に不純物を注入してもよい。その後、図 4 (d) に示すように、トレンチを埋め込むように、例えば TEOS ガスを用いた CVD 法により SiO<sub>2</sub> 膜 12 を例えば 1000 nm 堆積する。

【0040】次いで、図 4 (e) に示すように、多結晶シリコン膜 15 が露出するまで酸化膜 12 を R I E によりエッチバックする。このとき、多結晶シリコン膜 15 がエッチバックのストップとして働く。このエッチバックには、レジストを用いたエッチバックの技術を用いてもよいし、またポリッシングを用いてもよい。

【0041】次いで、多結晶シリコン膜 15 に例えば 12 nm の酸化膜を形成した後、例えば燐のドーピングを  $1 \times 10^{18} \text{ cm}^{-3}$  行う。酸化膜をエッチングした後、ゲート電極を配線するため、第 2 層多結晶シリコン膜 20 を例えば CVD 法により 200 nm 堆積し、例えば燐のドーピングをイオン注入法により  $1 \times 10^{21} \text{ cm}^{-3}$  行う。その後、フォトリソグラフィ工程によりゲート領域をパターニングした後、多結晶シリコン膜 20 をエッチングする。このときの A-A' 断面の状態を図 5 (f) に、B-B' 断面の状態を図 5 (g) に示す。

【0042】これ以降は、ソース・ドレイン拡散層形成、層間絶縁堆積、コンタクトホールエッチング工程

後、例えば A1 によりソース・ドレインの配線を行うことによって、前記図 1 及び図 2 に示すトランジスタが完成する。

【0043】このように本実施例によれば、従来のトレンチ素子分離方法に比べて、ゲート多結晶シリコンのウイングが形成されないため、高集積化が可能となる。また、素子領域の端の部分に角ができることはなく、高耐圧のゲート酸化膜が形成できる。

【0044】（実施例 2）第 1 の実施例では、半導体基板を掘る際にゲート酸化膜のエッジ部を高エネルギーの粒子が叩くために、ゲート酸化膜の劣化をもたらす可能性がある。また、トレンチ内に堆積した絶縁物をエッチバックする際に、ゲート電極がチャージアップして、ゲート酸化膜の劣化をもたらす可能性がある。

【0045】この本実施例では、半導体基板を掘る際に、ゲート酸化膜のエッジ部が多結晶シリコン側壁で保護されているために、劣化が起りにくい。また、この多結晶シリコン側壁の下領域にはゲート酸化膜よりも薄い酸化膜が形成されているために、エッチバック時の酸化膜の劣化はこの領域で起こり、ゲート酸化膜の劣化が低減できる。以下に、この実施例の工程を図 6 ~ 図 8 に示す。

【0046】まず、図 6 (a) に示すように、n 型シリコン基板 10 に、例えば表面硼素濃度  $1 \times 10^{16} \text{ cm}^{-3}$  で p ウェルを形成し、ゲートが形成される領域にしきい値を調節するために適当なチャネルインプラを行う。その後、シリコン基板表面に例えば 10 nm の熱酸化膜（ゲート絶縁膜）13 を形成し、ゲート電極として第 1 層多結晶シリコン膜 15 を、例えば 400 nm 堆積する。その後、多結晶シリコン膜 15 上に SiN 膜 43 を例えば 50 nm 形成する。

【0047】次いで、図 6 (b) に示すように、フォトリソグラフィ工程により素子分離領域のパターニングを行った後、レジスト（図示せず）をマスクとして上部 SiN 膜 43、多結晶シリコン膜 15、ゲート酸化膜 13 を異方性エッチングによりエッチングする。このときのエッチングは、レジストをマスクとして上部 SiN 膜 43 からゲート酸化膜 13 までをエッチングして最後にレジストを剥離してもよいし、レジストをマスクとして上部 SiN 膜 43 をエッチングした後レジストを剥離し、上部 SiN 膜 43 をマスクとして多結晶シリコン膜 15、ゲート酸化膜 13 をエッチングしてもよい。

【0048】次いで、図 6 (c) に示すように、露出した基板表面にゲート酸化膜 13 よりも膜厚の薄い、例えば 5 nm の酸化膜 44 を熱酸化により形成する。次いで、図 6 (d) に示すように、燐を高濃度にドーブした多結晶シリコン膜 45 を、例えば 30 nm 堆積する。この多結晶シリコン膜 45 は燐をドーブしていなくてもよい。

【0049】次いで、図 7 (e) に示すように、R I E

により多結晶シリコン膜 4 5 をエッチングし、多結晶シリコン膜 1 5 に多結晶シリコンの側壁 4 6 を形成する。

【0050】次いで、図 7 (f) に示すように、R I E 或いは  $\text{NH}_4\text{F}$  によりシリコン基板 1 0 上の薄い酸化膜 4 4 をエッチングした後、シリコン基板 1 0 を R I E によりエッチングする。このとき、多結晶シリコン膜 1 5 上の S i N 膜 4 3 は、シリコン基板 1 0 をエッチングする際のマスクとなるので、 $\text{NH}_4\text{F}$  処理により完全にエッチングされない程度に厚いことが必要である。

【0051】次いで、トレンチ形成時に発生した結晶欠陥を除去するために、例えば窒素雰囲気或いは不活性ガス雰囲気中で熱処理を行った後、例えば塩化水素或いは水蒸気を含んだ酸化雰囲気中でトレンチ側壁部を熱酸化する。このとき、側壁部の多結晶シリコン 4 6 は完全に酸化されない程度に厚いことが必要である。ここで、フィールド反転を防止するために、トレンチの側壁或いはトレンチの底に不純物を注入してもよい。その後、図 7 (g) に示すように、トレンチを埋め込むように、例えば T E O S ガスを用いた C V D 法により酸化膜 1 2 を推積する。

【0052】次いで、図 8 (h) に示すように、多結晶シリコン膜 1 5 が露出するまで酸化膜 1 2 をエッチバックする。このとき、多結晶シリコン膜 1 5 がエッチバックのストッパとして働く。このエッチバックには、レジストを用いたエッチバックの技術を用いてもよいし、また、ポリッシングを用いてもよい。

【0053】次いで、図 8 (i) に示すように、側壁多結晶シリコン 4 6 を完全に酸化して酸化膜 4 7 を形成する。酸化膜 4 7 は多結晶シリコン膜 1 5 の側壁のみならず上面にも形成される。このとき、側壁多結晶シリコン 4 6 が高濃度に不純物ドーピングしてあれば、ドーピングされていない多結晶シリコン膜 1 5 よりも非常に酸化され易い。

【0054】次いで、図 8 (j) に示すように、多結晶シリコン膜 1 5 の表面が露出するまで酸化膜 4 7 を、例えば  $\text{NH}_4\text{F}$  処理或いは R I E によりエッチングする。この後、第 1 の実施例の工程と同様にしてトランジスタが完成する。

【0055】(実施例 3) 本発明の素子分離方法を不揮発性半導体装置 (NAND 型 E E P R O M) に適用した場合の実施例を示す。図 9 は 2 つの NAND セル部分を示す平面図、図 1 0 (a) は図 9 の矢視 A - A' 断面図 (メモリセル部分)、図 1 0 (b) は図 9 の矢視 B - B' 断面図 (選択及び周辺トランジスタ部分)、図 1 1 は図 9 の矢視 C - C' 断面図である。なお、図 9 において M (M1 ~ M8) はメモリセル、S (S1, S2) は選択トランジスタを示している。

【0056】本実施例においては、浮遊ゲートの側壁部も浮遊ゲートと制御ゲート間の容量として利用するために、カップリング比を大きくでき、かつゲート幅との兼

ね合いによりカップリング比を制御するという特徴を持つ。また、トレンチ内酸化物のエッチバックを行う際に、ゲート幅が広い領域では、エッチバックが速く進み、ゲート幅が狭い領域ではエッチバックが遅く進む。従って、カップリング比のばらつきは低減される。さらに、選択及び周辺トランジスタも、制御ゲートとなる多結晶シリコンを推積する前に浮遊ゲート上の絶縁膜をエッチングすることにより、メモリセルと同一の工程で形成でき、工程数が削減できる。

【0057】図 1 2 ~ 1 4 を用いて本実施例の製造工程を説明する。これらの図において、(a) は A - A' 断面でセル部を示し、(b) は B - B' 断面で周辺部を示している。

【0058】まず、第 1 或いは第 2 の実施例と同様の工程により素子分離を行う。但し本実施例では、島状の素子領域を囲むようにトレンチを形成するのではなく、ライン状の素子領域を形成するために、ワード線と直交する方向のライン状レジストパターンをマスクに浮遊ゲートとなる第 1 層多結晶シリコン膜を選択エッチングすると共に、基板を選択エッチングしてライン状にトレンチを形成する。

【0059】次いで、図 1 2 に示すように、例えば 1 2 nm の熱酸化膜 1 3 を形成後、セル部には浮遊ゲートとなる第 1 層多結晶シリコン膜 3 0 を形成し、周辺部にはゲート電極となる第 1 層多結晶シリコン膜 1 5 を形成する。これらの多結晶シリコン膜 3 0, 1 5 は同じ膜をパターンニングして形成されるものである。続いて、多結晶シリコン膜 3 0, 1 5 に、例えば  $1 \times 10^{18} \text{ cm}^{-3}$  のドーピングを行う。さらに、多結晶シリコン膜 3 0, 1 5 上の酸化膜を剥離後、シリコン酸化膜或いは O N O 等の酸化膜 3 1 を例えば 2 0 nm 形成する。

【0060】次いで、図 1 3 に示すように、フォトリソグラフィ工程によりセル部上にフォトレジスト 3 3 を形成し、レジスト 3 3 で覆われていない周辺ゲート及び選択ゲート上の酸化膜 3 1 をエッチング除去する。このとき、周辺部ではゲート電極 1 5 の側部に側壁酸化膜 3 4 が残存することになる。

【0061】次いで、図 1 4 に示すように、セル部には制御ゲートとなる第 2 層多結晶シリコン膜 2 9 を、周辺部にはゲート電極となる第 2 層多結晶シリコン膜 2 0 を、例えば 2 0 0 nm 推積する。これらの多結晶シリコン膜 2 9, 2 0 は形成領域がことなるのみで実質的に同じ膜である。

【0062】次いで、ワード線方向のライン状レジストパターンをマスクに、第 2 層多結晶シリコン膜 2 9 (2 0)、酸化膜 3 1、第 1 層多結晶シリコン膜 3 0 (1 5) を R I E により選択エッチングし、ワード線方向にメモリセル及び選択トランジスタが分離する。そして、ソース・ドレイン拡散層を形成することによりメモリセルが完成する。



【0063】（実施例4）次に、本発明の第4の実施例として、EEPROMのメモリセル部分及び周辺回路部分（Vpp系Tr、VM/Vcc系Tr部；Vppは高電圧、VMは中間電圧、Vccは電源電圧）を同時に形成するプロセスについて説明する。

【0064】まず、図15（a）に示すように、p型シリコン基板50に、例えば表面濃度 $1 \times 10^{16} \text{ cm}^{-3}$ になるように、リソグラフィ工程と組み合わせてn型ウェル51を形成し、次いで例えば表面濃度が $3 \times 10^{16} \text{ cm}^{-3}$ になるように選択的にp型ウェル52を形成する。このとき、nウェル51はpウェル52よりも深く形成し、図15（a）に示すようにセル部では2重ウェルとする。

【0065】次いで、通常のLOCOS工程でフィールド酸化膜53を形成する。その後、各トランジスタのチャネルインプラを行った後、例えば30nm厚のVpp系Trのゲート酸化膜54を形成する。続いて、Vpp系Tr部になるところのみレジスト55で覆い、他のTr部及びセル部の酸化膜をエッチング除去する。その後、VM系/Vcc系Trのゲート酸化膜56及び選択トランジスタのゲート酸化膜を例えば16nm酸化形成する。

【0066】次いで、図15（b）に示すように、Vpp系、VM/Vcc選択トランジスタ部をレジストで覆い、メモリセル部の酸化膜をエッチング除去する。その後、トンネル酸化膜57を例えば6~10nm熱酸化により形成する。

【0067】次いで、図16（c）に示すように、第1層多結晶シリコン膜58を例えば400nm、CVD SiO<sub>2</sub>膜58を200nm堆積形成する。その後、フォトリソグラフィ工程によりトレンチパターンを形成する。

【0068】次いで、図16（d）に示すように、トレンチ部を絶縁膜60で埋め込んだ後、全面にONO膜61を形成し、その上に第2層多結晶シリコン膜62を例えば200nm堆積する。続いて、第2層多結晶シリコン膜62上にレジストパターン63を形成し、周辺Tr部及び選択Tr部になる多結晶シリコン膜62及びONO膜61をエッチング除去する。この例では、ONO膜61上の多結晶シリコン膜62、ONO膜61をエッチング除去したが、エッチング除去せずに形成することができる。このとき、周辺Trは1層目の多結晶シリコン膜58に直接Alを接触できるように、一部2層目の多結晶シリコン膜62とONO膜61を除去することが必要である。また、2層目の多結晶シリコン膜62を200nm堆積後、表面を平坦にするため、ポリッシングを行ってもよい。

【0069】次いで、図17（e）に示すように、WSi等の低抵抗材料を2層目の多結晶シリコン膜62に接触させて堆積する。そして、1、2層目の多結晶シリコン膜58、62及びWSi膜65、ONO膜61を1つ

のレジストマスク66で順次エッチングする。そして、メモリセルの制御ゲート、浮遊ゲート、選択ゲート、周辺Trのゲートを形成し、メタライゼーションを行うことにより、図17（f）に示すような構成が得られる。なお、図中の68は層間絶縁膜、69はAl配線層である。

【0070】この工程を用いれば、これまで周辺Trとセル部Trを別々の工程でパターンを形成していたが、これを1つのパターンで形成できる。また、浮遊ゲートの加工をする必要がなく、トレンチパターンと同時に形成できる。以上の2点により大幅に工程省略ができ、低コストでメモリが形成できる。なお、図18にメモリセル部、周辺部の概略図を示しておく。

【0071】（実施例5）第1の実施例では、半導体基板を掘る際にゲート酸化膜のエッジ部を高エネルギーの粒子が叩くために、ゲート酸化膜の劣化をもたらす可能性がある。また、トレンチ内に堆積した絶縁物をエッチバックする際に、ゲート電極がチャージアップして、ゲート酸化膜の劣化をもたらす可能性がある。この実施例では、多結晶シリコンが基板と接続されているため、チャージアップによる劣化が起こりにくい。

【0072】図19~25に本実施例の工程断面図を示す。図19~25の左側は図9のD-D'断面、右側はE-E'断面に相当している。

【0073】まず、図19に示すように、シリコン基板10上にゲート酸化膜13を2種類を形成した後、例えば第1層多結晶シリコン膜30を100nm堆積し、例えばソース部分71の多結晶シリコン膜30及び酸化膜13を選択的にエッチング除去する。

【0074】次いで、図20に示すように、例えば第2層多結晶シリコン膜30'を300nm、CVD-SiO<sub>2</sub>膜19を200nm堆積する。このとき、2層目の多結晶シリコン膜30'は1層目の多結晶シリコン膜30及び基板10と電気的に接触して形成でき、今後のプロセスにかかるチャージアップダメージはこの接触部分で基板10にチャージが放出されるため、ダメージがなくなる。

【0075】以下の工程は、図21~25に示すように、これまで述べた工程と同様にすればよい。なお、図中の37は制御ゲートとなる多結晶シリコン膜29の上に形成されて該膜29をパターニングする際に用いる絶縁膜である。

【0076】（実施例6）本実施例も酸化膜に印加されるダメージを低減させる方法である。図26、27に工程断面図を示す。この図は図9のD-D'断面に相当する。

【0077】これまでの実施例では、基板上に酸化膜（ゲート酸化膜）、多結晶シリコン膜、SiO<sub>2</sub>CVD膜の3層であったが、本実施例ではさらに1層導電層を形成して計5層に形成する。



【0078】即ち、図26(a)に示すように基板10上にゲート酸化膜13を介して第1層多結晶シリコン膜15を堆積した後、その上に絶縁膜39を介して多結晶シリコン膜38を堆積し、その上にCVD-SiO<sub>2</sub>膜19を堆積する。次いで、図26(b)に示すように、絶縁膜19上に設けたレジストパターン(図示せず)をマスクに19~11を選択エッチングしてトレンチ11を形成する。

【0079】次いで、図27(c)に示すように、絶縁膜12の堆積及びエッチバックにより、トレンチ11内に絶縁膜12を埋め込み形成する。本実施例では、上層の導電膜がエッチバック時など、チャージアップはするが、下層までチャージアップしないため、トンネル酸化膜等のゲート酸化膜13が劣化することはない。

【0080】次いで、図27(d)に示すように、多結晶シリコン膜38、絶縁膜39を除去する。その後は、これまで述べたのと同様の工程を経て形成される。

【0081】本実施例では、先の実施例と同様の効果が得られるのは勿論のこと、フォトリソグラフィのマスク数を増やすことなく、チャージアップダメージを回避することができる。

【0082】なお、以上に述べた実施例は、NANDセル型EEPROMを中心にしたものであるが、これに限定されるものではなく、広く半導体デバイスに適用することができる。

【0083】(実施例7)図28(a)は本発明の第7の実施例を示す平面図、図28(b)は(a)の矢視A-A'断面図である。

【0084】この実施例では、トレンチ分離の側面及び状面の一部に埋込みn<sup>+</sup>拡散層を形成してソース81及びドレイン82を形成し、前の実施例と同様の工程で浮遊ゲート30、制御ゲート29を形成している。これらのアレイは図29(a)又は(b)のようにSG(又はST)で示した選択ゲートを介して形成される。動作は従来と同様である。

【0085】また、図30は本実施例の変形例であり、(a)は平面図、(b)は(a)の矢視A-A'断面図を示している。基本的には図28と同様であるが、トレンチ側面のみを埋込みn<sup>+</sup>層にしている点が異なる。

【0086】このような構造であれば、埋込みn<sup>+</sup>層の領域を縮小することができ、かつ浮遊ゲートの側面を多結晶シリコン間容量に用いているため、低電圧で書き込みを行うことができる。

【0087】

【発明の効果】以上詳述したように本発明によれば、ゲート電極のスリット幅がそのまま素子分離幅となる、いわゆる自己整合で形成されるために、各トランジスタ間の距離を縮小でき、高集積化が可能となる。また、素子領域の端の部分に角ができることはなく、高耐圧の酸化膜が形成できる。さらに、ゲート電極に側壁を形成する

ことにより、トレンチを掘る際に酸化膜エッジ部が保護されるため、絶縁耐圧の劣化が生じることはない。また、側壁の下には、ゲート絶縁膜よりも薄い酸化膜が形成されているので、トレンチ内に埋め込んだ絶縁物をエッチングする際に生じる、ゲート電極のチャージアップに起因する酸化膜の絶縁破壊あるいは信頼性の低下は、このゲート酸化膜よりも薄い酸化膜で起こるために、ゲート酸化膜への損傷が低減される。

【0088】また、不揮発性半導体記憶装置について、上記素子分離方法を適用した場合については、トレンチ内に埋め込んだ絶縁物をエッチバックする際に、ガスの供給律速となるため、エッチングレートはその素子分離幅に大きく依存する。例えば、トレンチ幅が狭い(即ちゲート幅が広い)場合にはエッチングレートが速くなるため、浮遊ゲート側壁部の浮遊ゲート・制御ゲート間容量が増大する。また、トレンチ幅が広い場合には逆になる。これにより、半導体基板内のカップリング比のばらつきが低減される。

【0089】また、ゲート幅に対応して浮遊ゲート側壁部の面積を調節することによりカップリング比が制御できる。さらに、周辺回路用トランジスタ、及び選択トランジスタはメモリセルと同一のプロセスで形成できるため、工程数が削減できる利点がある。

【図面の簡単な説明】

【図1】第1の実施例に係わるMOSトランジスタの素子構造を示す平面図。

【図2】図1の矢視A-A'、B-B'断面図。

【図3】第1の実施例の製造工程を示す断面図。

【図4】第1の実施例の製造工程を示す断面図。

【図5】第1の実施例の製造工程を示す断面図。

【図6】第2の実施例の製造工程を示す断面図。

【図7】第2の実施例の製造工程を示す断面図。

【図8】第2の実施例の製造工程を示す断面図。

【図9】第3の実施例に係わるEEPROMの素子構造を示す平面図。

【図10】図9の矢視A-A'、B-B'断面図。

【図11】図9の矢視C-C'断面図。

【図12】第3の実施例の製造工程を示す断面図。

【図13】第3の実施例の製造工程を示す断面図。

【図14】第3の実施例の製造工程を示す断面図。

【図15】第4の実施例の製造工程を示す断面図。

【図16】第4の実施例の製造工程を示す断面図。

【図17】第4の実施例の製造工程を示す断面図。

【図18】第4の実施例におけるメモリセル部及び周辺部の構成を示す断面図。

【図19】第5の実施例の製造工程を示す断面図。

【図20】第5の実施例の製造工程を示す断面図。

【図21】第5の実施例の製造工程を示す断面図。

【図22】第5の実施例の製造工程を示す断面図。

【図23】第5の実施例の製造工程を示す断面図。

【図 2 4】 第 5 の実施例の製造工程を示す断面図。

【図 2 5】 第 5 の実施例の製造工程を示す断面図。

【図 2 6】 第 6 の実施例の製造工程を示す断面図。

【図 2 7】 第 6 の実施例の製造工程を示す断面図。

【図 2 8】 第 7 の実施例を示す平面図と断面図。

【図 2 9】 第 7 の実施例における等価回路図。

【図 3 0】 第 7 の実施例の変形例を示す平面図と断面図。

【図 3 1】 従来のトレンチ素子分離の問題点を示す図。

【符号の説明】

1 0 … n 型シリコン基板

1 1 … 素子分離用溝（トレンチ）

1 2 … 埋め込み絶縁膜

1 3 … ゲート絶縁膜

1 5 … 第 1 層導電膜からなるゲート電極

1 7 … 素子分離領域

1 8 … 素子領域

1 9 … CVD 絶縁膜

2 0 … 第 2 層導電膜からなるゲート電極

2 1 … ゲート電極コンタクト

2 2 … ソース・ドレイン電極

2 3 … ソース・ドレイン拡散層

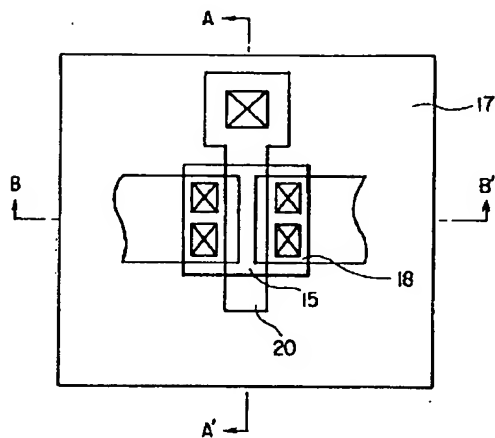
2 4 … 層間絶縁膜

2 9 … 第 2 層導電膜からなる制御ゲート

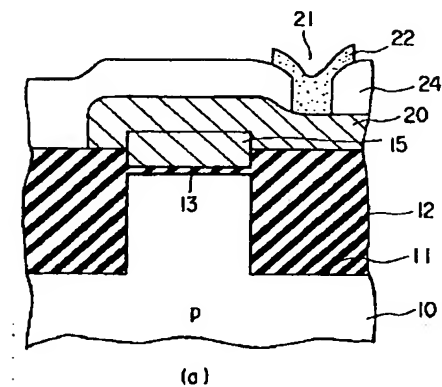
3 0 … 第 1 層導電膜からなる浮遊ゲート

3 1 … ゲート絶縁膜

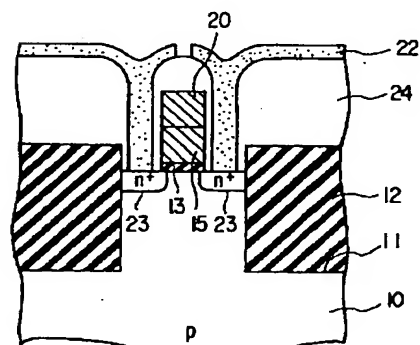
【図 1】



【図 2】

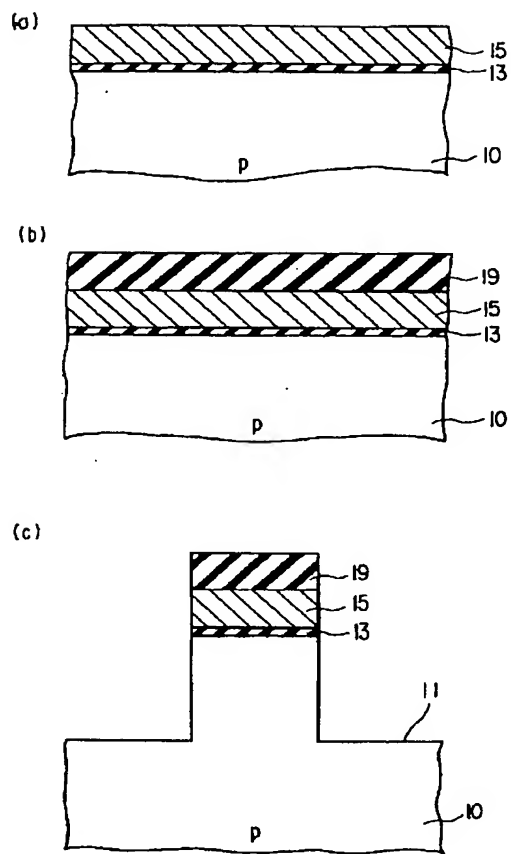


(a)

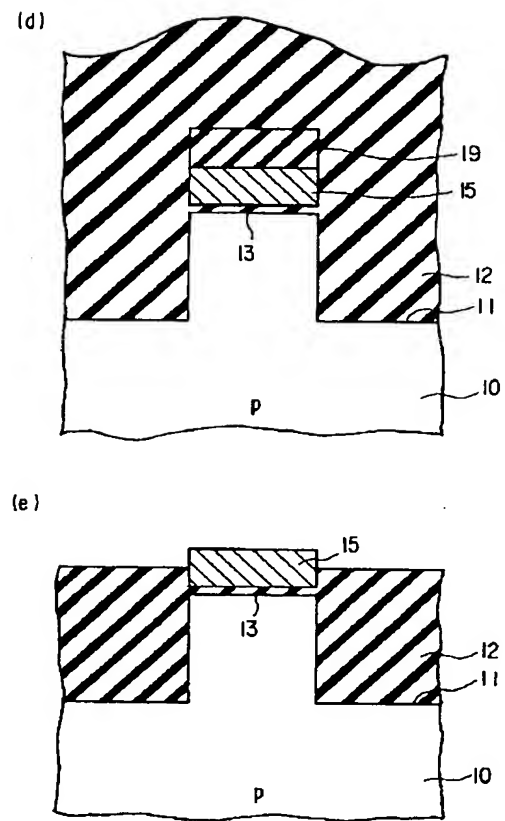


(b)

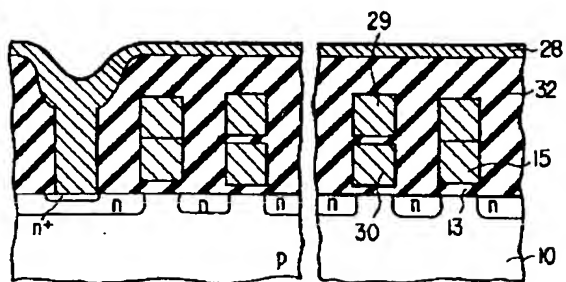
【図 3】



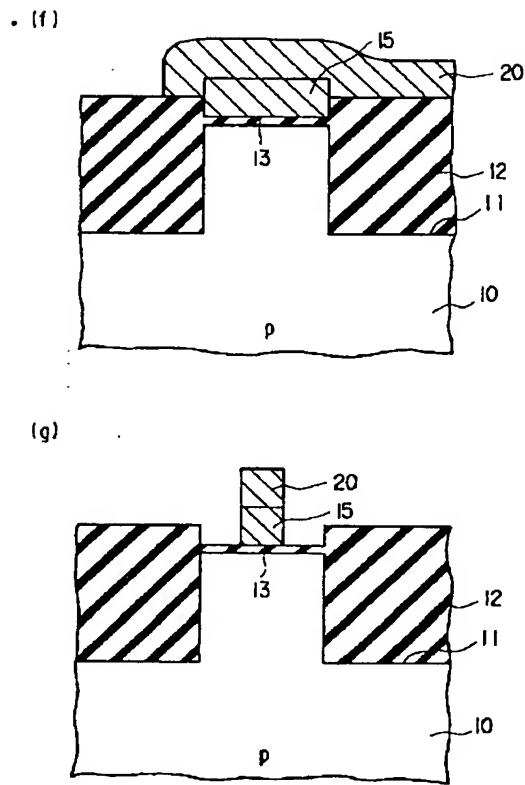
【図 4】



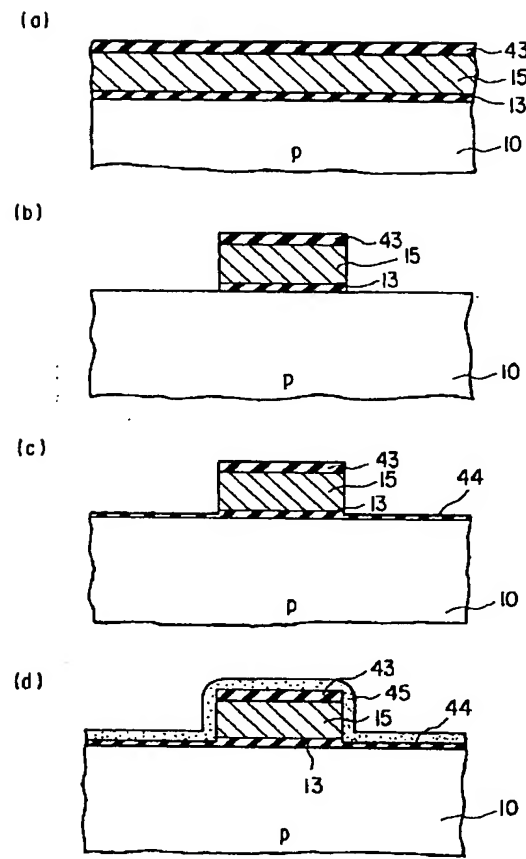
【図 11】



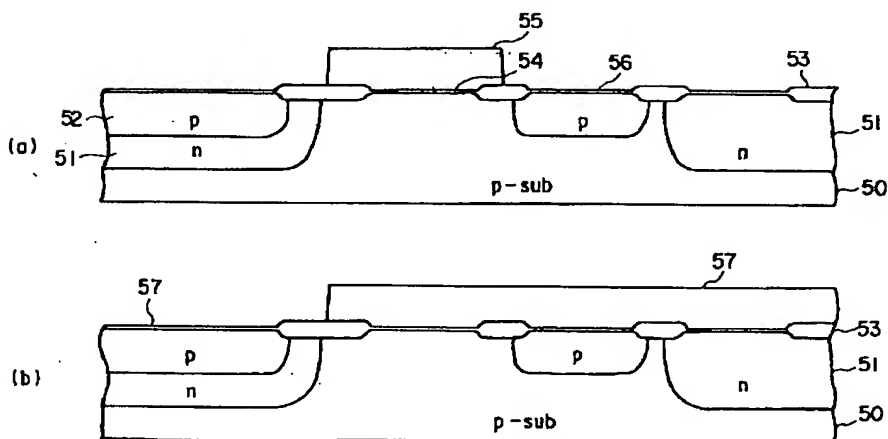
【図 5】



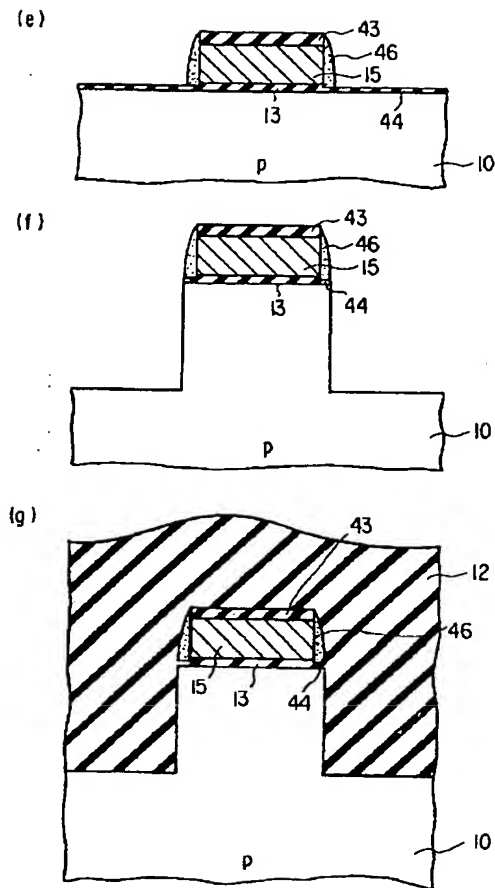
【図 6】



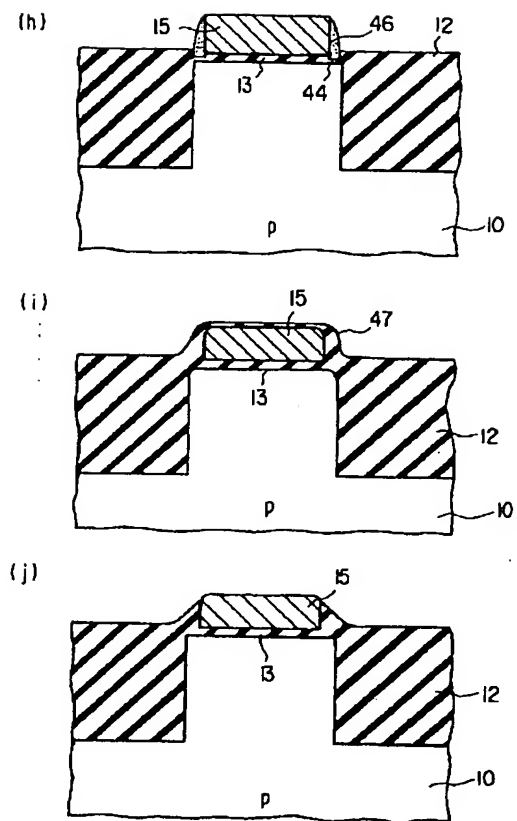
【図 15】



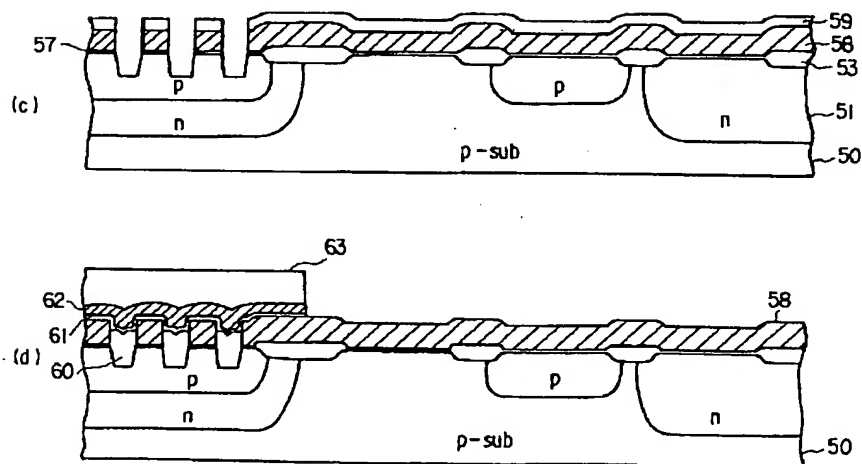
【図 7】



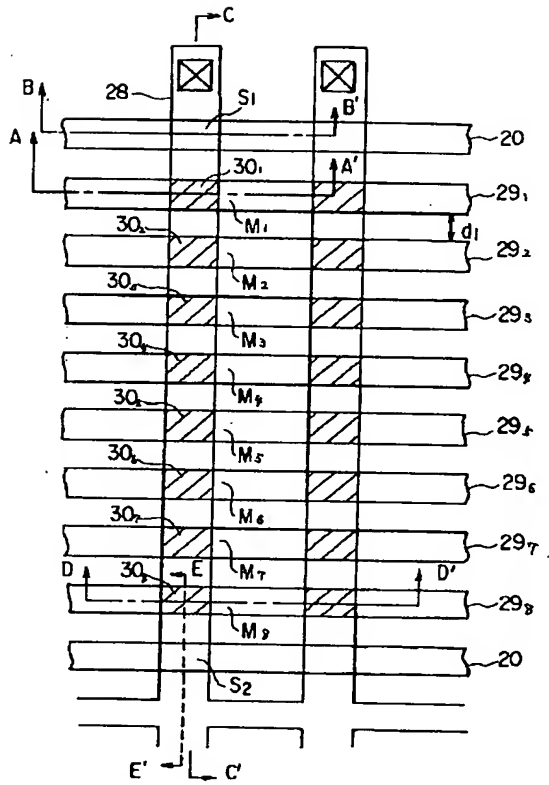
【図 8】



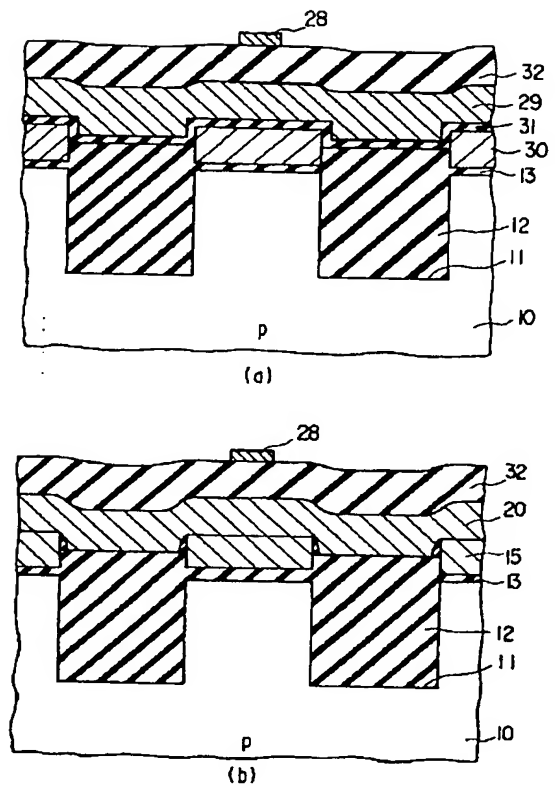
【図 16】



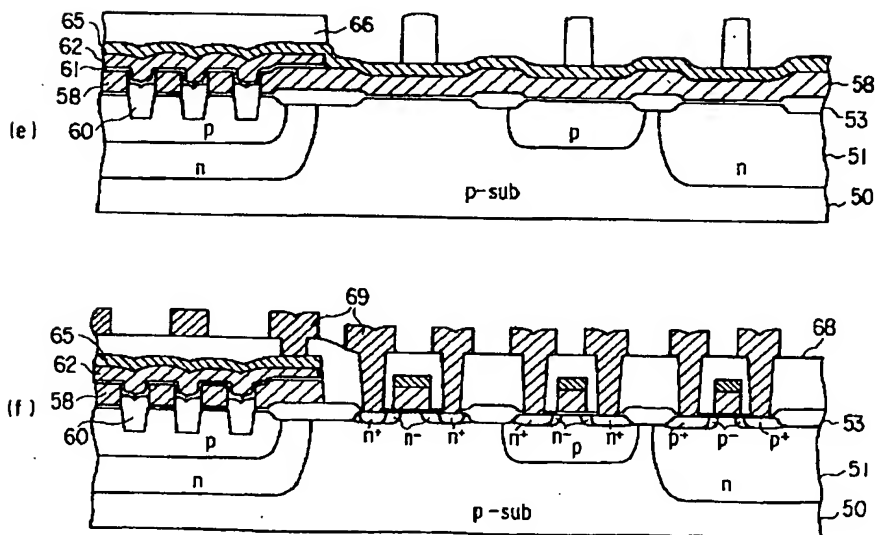
【図 9】



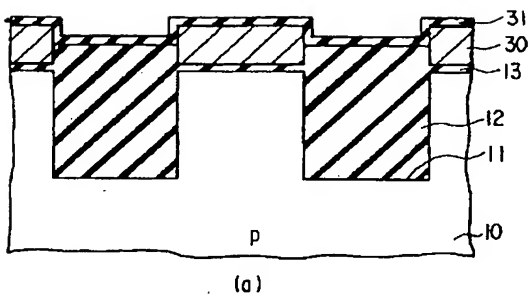
【図 10】



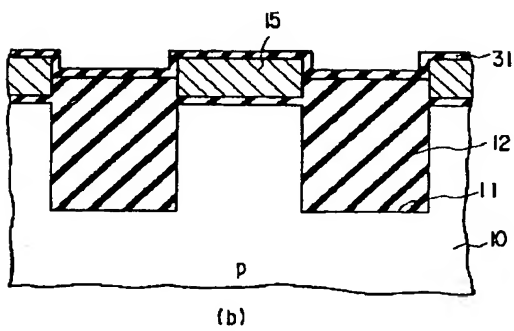
【図 17】



【図 1 2】

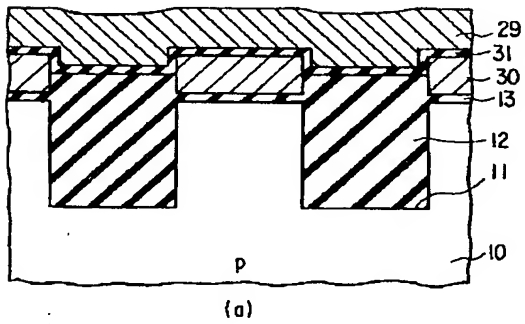


(a)

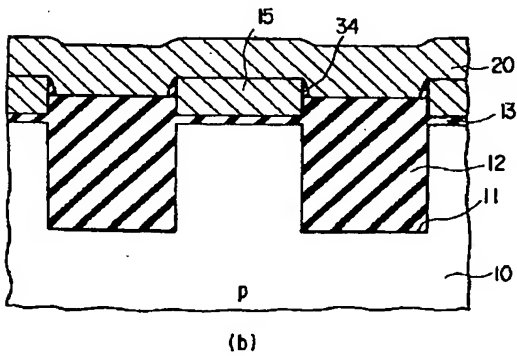


(b)

【図 1 4】

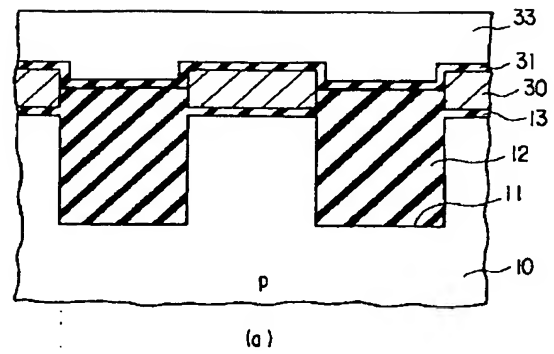


(a)

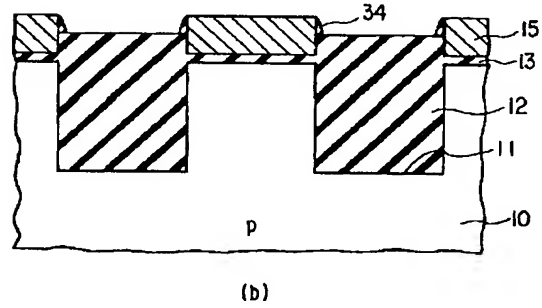


(b)

【図 1 3】



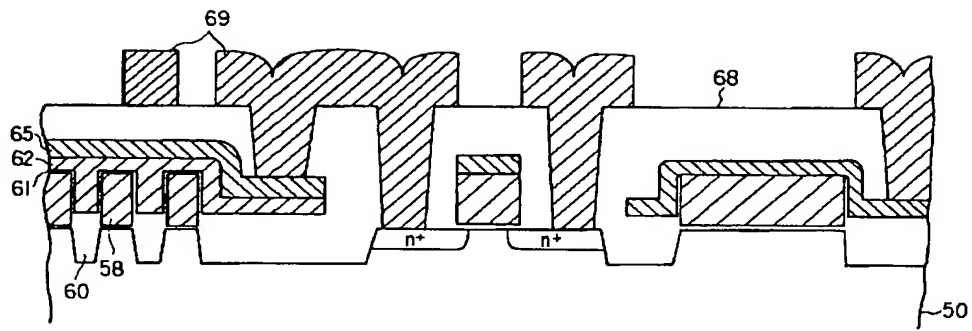
(a)



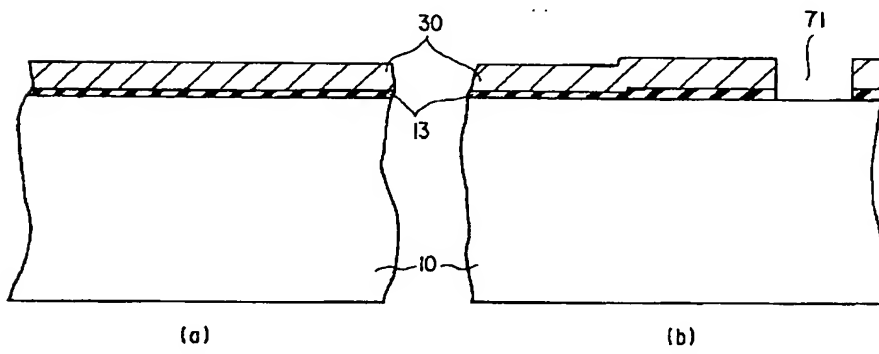
(b)



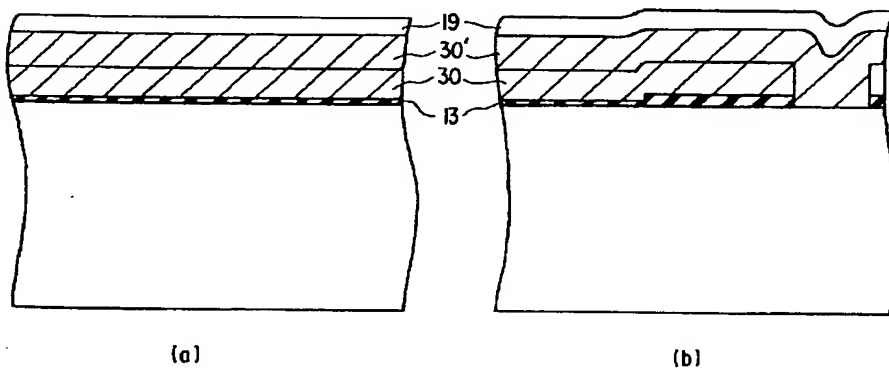
【図 18】



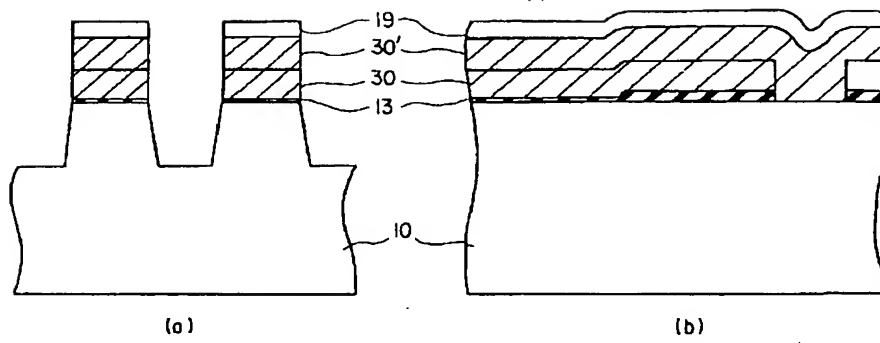
【図 19】



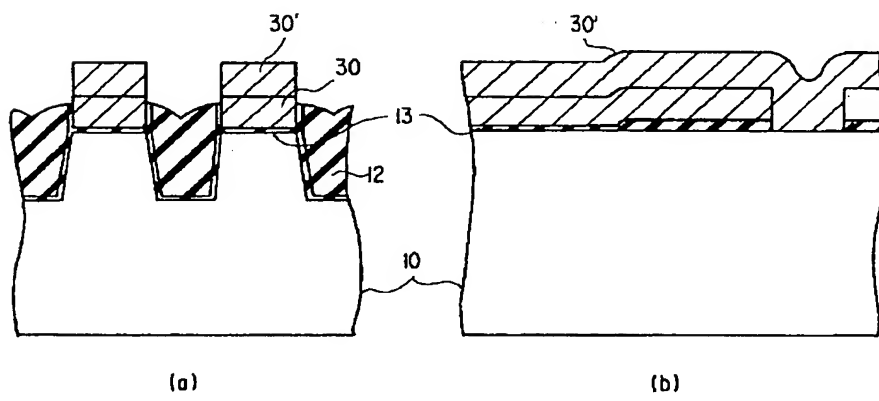
【図 20】



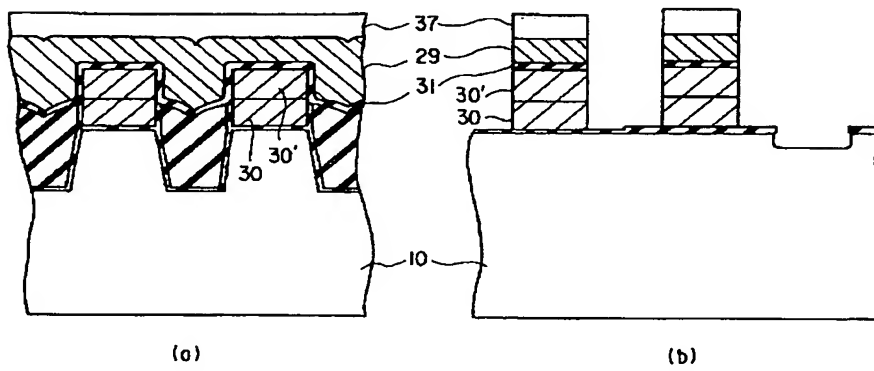
【図 2 1】



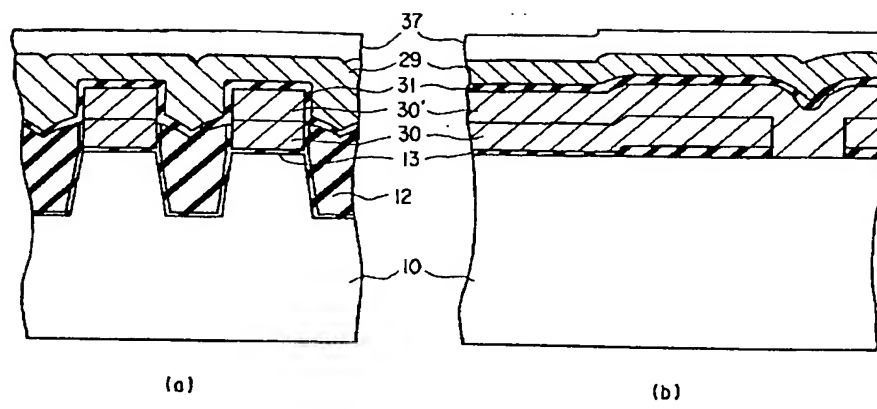
【図 2 2】



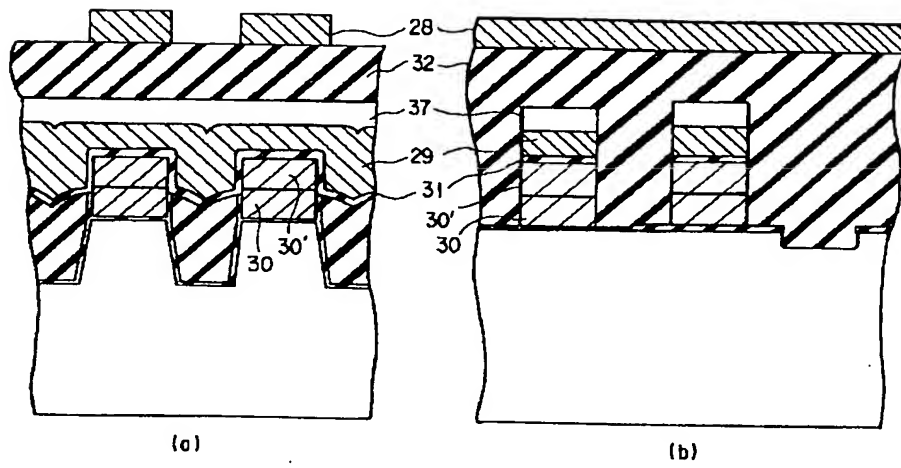
【図 2 4】



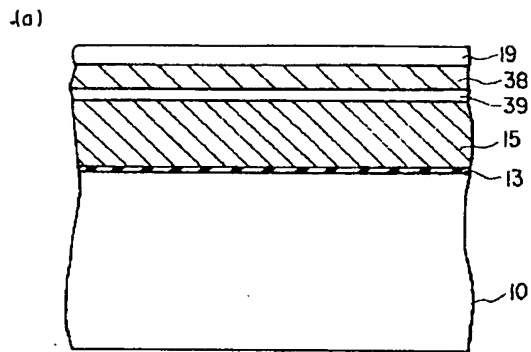
【図 2 3】



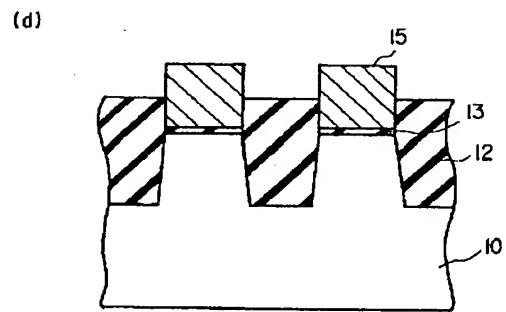
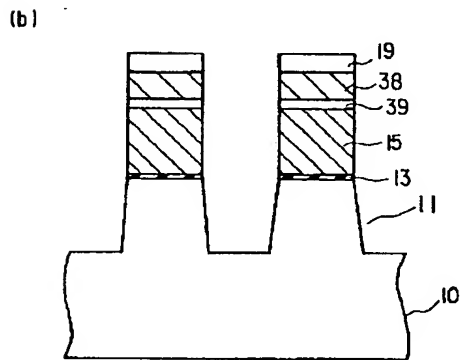
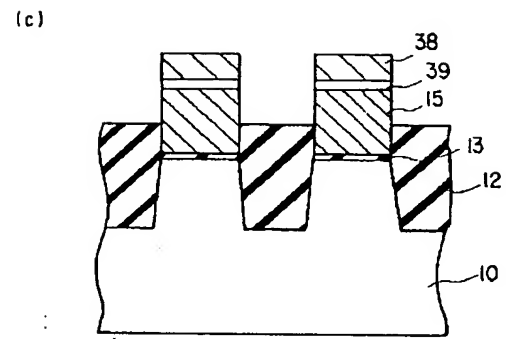
【図 2 5】



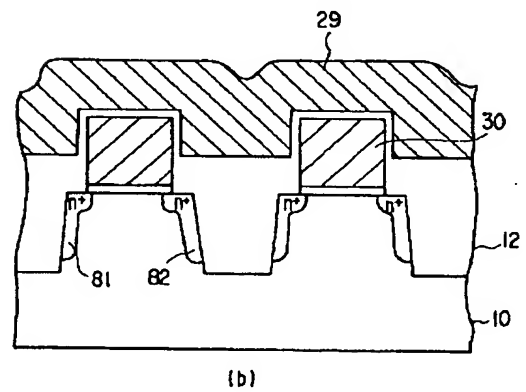
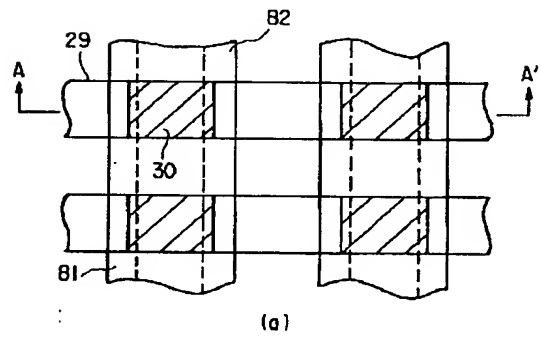
【図 2 6】



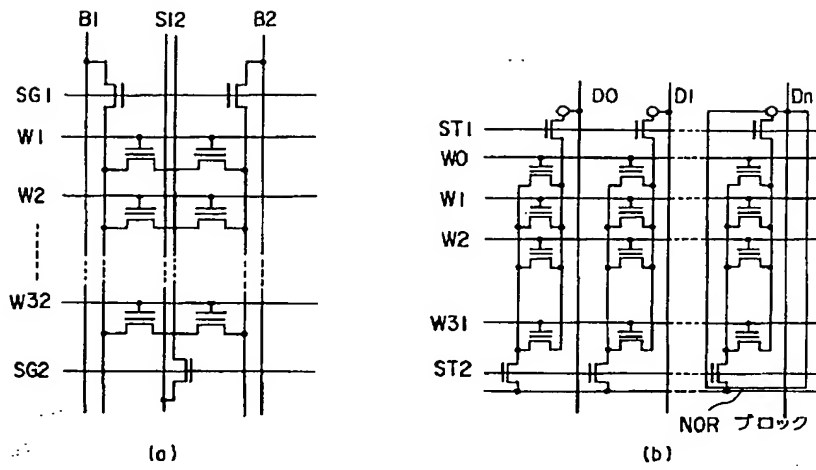
【図 2 7】



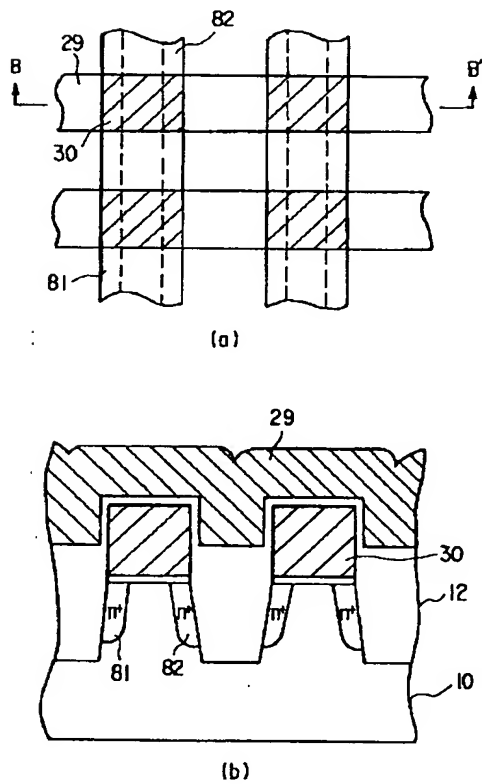
【図 2 8】



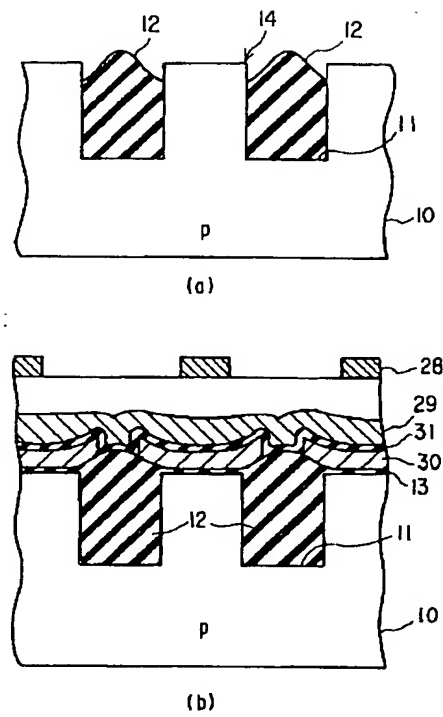
【図 29】



【図 30】



【図 31】



## フロントページの続き

(51) Int. Cl. 6	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	21/76			
	29/78			

H 0 1 L 29/78 3 0 1 R

(72) 発明者 丸山 徹  
神奈川県川崎市幸区小向東芝町 1 番地 株  
式会社東芝研究開発センター内

(72) 発明者 渡部 浩  
神奈川県川崎市幸区小向東芝町 1 番地 株  
式会社東芝研究開発センター内

(72) 発明者 ヘミンク・ゲルトヤン  
神奈川県川崎市幸区小向東芝町 1 番地 株  
式会社東芝研究開発センター内